

SON-2010

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Patent Application of )

Hisao HAYASHI et al. )

Serial No. To be assigned )

Filed: January 31, 2001 )

For: THIN FILM SEMICONDCUTOR DEVICE, )  
DISPLAY DEVICE USING SUCH THIN )  
FILM SEMICONDUCTOR DEVICE AND )  
MANUFACTURING METHOD THEREOF )

ATT: APPLICATION BRANCH

1c972 U.S. PTO  
09/772986  
01/31/01

#2  
D. Scott  
6-2-01

CLAIM TO PRIORITY UNDER 35 USC 119

Commissioner for Patents  
Washington, D.C. 20231

Sir:

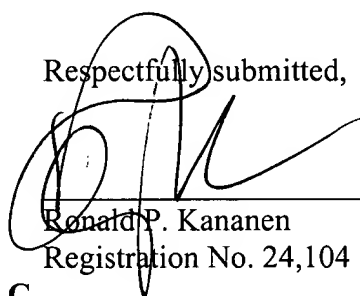
The benefit of the filing date of the following prior application filed in the following foreign country is hereby requested and the right of priority provided under 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appl. No. 2000-023475, filed February 1, 2000

In support of this claim, filed herewith is a certified copy of said original foreign application.

Respectfully submitted,

Date: January 31, 2001

  
\_\_\_\_\_  
Ronald P. Kananen  
Registration No. 24,104

**RADER, FISHMAN & GRAUER, PLLC**  
Lion Building  
1233 20<sup>th</sup> Street, N.W.  
Washington, D.C. 20036  
Tel: (202) 955-37650

## 日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 2月 1日

出 願 番 号

Application Number:

特願2000-023475

出 願 人

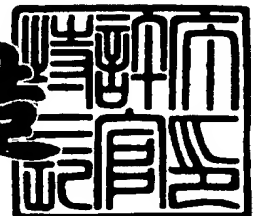
Applicant(s):

ソニー株式会社

2000年12月 1日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3098388

【書類名】 特許願

【整理番号】 9900916503

【提出日】 平成12年 2月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

    【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

    【氏名】 林 久雄

【発明者】

    【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

    【氏名】 藤野 昌宏

【発明者】

    【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

    【氏名】 下垣内 康

【発明者】

    【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

    【氏名】 高德 真人

【特許出願人】

    【識別番号】 000002185

    【氏名又は名称】 ソニー株式会社

    【代表者】 出井 伸之

【代理人】

    【識別番号】 100092336

    【弁理士】

    【氏名又は名称】 鈴木 晴敏

【電話番号】 0466-54-2640

【手数料の表示】

【予納台帳番号】 010191

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709206

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜半導体装置及び表示装置とその製造方法

【特許請求の範囲】

【請求項 1】 下から順にゲート電極、ゲート絶縁膜及び半導体薄膜を積層したボトムゲート構造の薄膜トランジスタを絶縁基板上に集積形成した薄膜半導体装置であって、

前記ゲート電極は、金属材料からなり、その厚みが 1 0 0 n m 未満であることを特徴とする薄膜半導体装置。

【請求項 2】 前記ゲート絶縁膜は、その膜厚がゲート電極の厚み以上であることを特徴とする請求項 1 記載の薄膜半導体装置。

【請求項 3】 前記半導体薄膜は、レーザ光の照射により結晶化された多結晶シリコンからなることを特徴とする請求項 1 記載の薄膜半導体装置。

【請求項 4】 前記ゲート電極は、比較的熱伝導度が低く且つ電気抵抗が高い上層と、比較的熱伝導度が高く且つ電気抵抗が低い下層とを重ねた多層構造を有することを特徴とする請求項 1 記載の薄膜半導体装置。

【請求項 5】 マトリクス状の画素と、各画素を駆動する薄膜トランジスタとを絶縁基板の上に集積形成した表示装置であって、

前記薄膜トランジスタは、下から順にゲート電極、ゲート絶縁膜及び半導体薄膜を該絶縁基板の上に積層したボトムゲート構造を有し、

前記ゲート電極は、金属材料からなり、その厚みが 1 0 0 n m 未満であることを特徴とする表示装置。

【請求項 6】 前記ゲート絶縁膜は、その膜厚がゲート電極の厚み以上であることを特徴とする請求項 5 記載の表示装置。

【請求項 7】 前記半導体薄膜は、レーザ光の照射により結晶化された多結晶シリコンからなることを特徴とする請求項 5 記載の表示装置。

【請求項 8】 前記ゲート電極は、比較的熱伝導度が低く且つ電気抵抗が高い上層と、比較的熱伝導度が高く且つ電気抵抗が低い下層とを重ねた多層構造を有することを特徴とする請求項 5 記載の表示装置。

【請求項 9】 マトリクス状の画素と、各画素を駆動する薄膜トランジスタ

とを絶縁基板の上に集積形成する表示装置の製造方法であって、

下から順にゲート電極、ゲート絶縁膜及び半導体薄膜を該絶縁基板の上に積層してボトムゲート構造の薄膜トランジスタを形成する工程を含み、

前記ゲート電極は、金属材料でその厚みが100nm未満となるように形成することを特徴とする表示装置の製造方法。

【請求項10】 前記ゲート絶縁膜は、その膜厚がゲート電極の厚み以上となるように形成することを特徴とする請求項9記載の表示装置の製造方法。

【請求項11】 前記半導体薄膜は、レーザ光の照射により結晶化された多結晶シリコンを用いることを特徴とする請求項9記載の表示装置の製造方法。

【請求項12】 前記ゲート電極は、比較的熱伝導度が低く且つ電気抵抗が高い上層と、比較的熱伝導度が高く且つ電気抵抗が低い下層とを重ねて形成することを特徴とする請求項9記載の表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は薄膜半導体装置及びこれを駆動基板として用いた表示装置とその製造方法に関する。より詳しくは、多結晶シリコンなどを活性層とするボトムゲート型の薄膜トランジスタを絶縁基板上に集積形成した薄膜半導体装置の構造並びに製造技術に関する。

【0002】

【従来の技術】

薄膜半導体装置は表示用としてアクティブマトリクス型液晶ディスプレイなどの駆動基板に好適であり、現在盛んに開発が進められている。薄膜トランジスタの活性層には多結晶シリコン又は非晶質シリコンが用いられる。特に、多結晶シリコン薄膜トランジスタは小型で高精細のアクティブマトリクス型カラー液晶表示装置が実現でき、注目を集めている。透明なガラスなどからなる絶縁基板上に画素スイッチング素子として薄膜トランジスタを形成する為、従来の半導体技術では電極材料や抵抗材料としてのみ活用されていた多結晶シリコン薄膜を活性層に利用する技術である。市場で求められる画像品位を実現する為の高密度設計が

可能な高性能のスイッチング素子用薄膜トランジスタを実現できる唯一の技術である。これは同時に、従来外付けの IC を用いていた周辺回路部を画素アレイ部と同一基板上に同一プロセスで形成することも可能にした。非晶質シリコン薄膜トランジスタでは実現できなかった高精細でかつ周辺回路部一体型のアクティブマトリクス液晶ディスプレイが実現できる。

#### 【 0 0 0 3 】

多結晶シリコンは非晶質シリコンに比べキャリア移動度が大きい為、多結晶シリコン薄膜トランジスタの電流駆動能力が高くなり、高速駆動が必要な水平走査回路及び垂直走査回路などの周辺回路部を画素スイッチング用の薄膜トランジスタと同一基板上に同時に作り込むことができる。従って、表示用薄膜半導体装置から外部に取り出す信号線の本数を大幅に削減することができる。又、Nチャネル型及びPチャネル型の薄膜トランジスタを集積形成したCMOS回路をオンチップ化でき、レベルシフト回路の内蔵が可能になりタイミング系信号の低電圧駆動ができる。

#### 【 0 0 0 4 】

薄膜トランジスタのデバイス技術及びプロセス技術としては、従来から1000℃以上の処理温度を採用した高温プロセス技術が確立されている。この高温プロセスの特徴は、石英など高耐熱性基板の上に成膜された半導体薄膜を固相成長により改質する点である。固相成長法は1000℃以上の温度で半導体薄膜を熱処理する方法であり、成膜段階では微小なシリコン結晶の集合である多結晶シリコンに含まれる一個一個の結晶粒を大きくする。この固相成長法により得られた多結晶シリコンは $100\text{ cm}^2/\text{v. s}$ 程度の高いキャリア移動度が得られる。この様な高温プロセスを実施する為には耐熱性に優れた基板の採用が必須であり、従来から高価な石英などを用いていた。しかしながら、石英は製造コスト低減化の観点からは不利である。

#### 【 0 0 0 5 】

上述した高温プロセスに代えて、600℃以下の処理温度を採用した低温プロセスが開発されている。薄膜半導体装置の製造工程を低温プロセス化する方法の一環として、レーザビームを用いたレーザアニールが注目を集めている。これは

、ガラスなどの低耐熱性絶縁基板上に成膜された非晶質シリコンや多結晶シリコンなど非単結晶性の半導体薄膜にレーザビームを照射して局部的に加熱溶融した後、その冷却過程で半導体薄膜を結晶化するものである。この結晶化した半導体薄膜を活性層（チャネル領域）として多結晶シリコン薄膜トランジスタを集積形成する。結晶化した半導体薄膜はキャリアの移動度が高くなる為、ある程度薄膜トランジスタを高性能化できる。

#### 【 0 0 0 6 】

ところで、薄膜トランジスタは従来トップゲート型の構造が主流である。トップゲート構造は絶縁基板の上に半導体薄膜を成膜し、更にゲート絶縁膜を介して上方にゲート電極を形成する。低温プロセスでは低コストの大型ガラス板を絶縁基板に使用する。このガラス板にはNaなどの不純物金属が多く含まれている為、薄膜トランジスタを駆動する電圧に応じてNaなどが局在化する。その電界によって薄膜トランジスタの特性が変動するという信頼性上の問題がある。これに対し、近年低温プロセスに適したボトムゲート型の構造が開発されている。これは、ガラス板などの絶縁基板上に金属膜などからなるゲート電極を配置し、その上にゲート絶縁膜を介して半導体薄膜を形成している。ゲート電極がガラス板中の電界を遮蔽する効果があり、構造的な観点から信頼性上トップゲート型に比べボトムゲート型の方が優れている。

#### 【 0 0 0 7 】

##### 【発明が解決しようとする課題】

しかしながら、ボトムゲート構造はレーザアニールによる結晶化を行う時に大きな問題がある。再結晶化する半導体薄膜は、概ねチャネル領域となる部分がゲート電極の直上に位置し、ソース領域及びドレイン領域となる部分はガラス板上にある。この為、レーザビームの照射によりエネルギーを与えた時、ガラス板上と金属ゲート電極上では熱の伝導状態や放散状態に相違が出てくる。よって、最適なレーザエネルギーがチャネル領域とソース領域及びドレイン領域で異なる為、大きなキャリア移動度が得られる最適エネルギーでのレーザ照射ができなくなる。即ち、レーザアニールによる再結晶化を行う場合、金属ゲート電極上の半導体薄膜とガラス板上の半導体薄膜の両者に同時にレーザビームを照射する訳であ



るが、一旦溶融化して冷却過程で固化する間に、金属ゲート電極上では熱がゲート配線を伝わって水平方向に放散する為、比較的短時間に固化する。この為、金属ゲート電極上とガラス板上とでは再結晶化した半導体薄膜の結晶粒が異なり、キャリア移動度が均一でなくなる。極端に言うと、金属ゲート電極上の半導体薄膜の結晶粒径を大きくしようとする、ガラス板上の半導体薄膜は照射エネルギーが高くなり過ぎて蒸発することがある。逆に、ガラス板上の半導体薄膜の結晶状態を正常にしようとする、金属ゲート電極上の半導体薄膜は結晶粒径が小さくなってしまふ。つまり、レーザアニールの時に、金属ゲート電極上とガラスなどの絶縁基板の両方において、半導体薄膜に最適なエネルギーでレーザ光を照射させようとする、プロセスマージンが非常に狭くなってしまうという課題がある。ここで、プロセスマージンとは、レーザ光の照射エネルギー密度に関して製造プロセス上許容できる範囲を表わす。従来、このプロセスマージンが狭い為、レーザ光の照射エネルギー密度の変動を厳しく抑える必要があり、多大な困難を伴っていた。

#### 【 0 0 0 8 】

又、ボトムゲート構造では、ゲート電極の上にゲート絶縁膜を介して半導体薄膜が成膜されている。ゲート電極は通常 1 0 0 n m 以上の厚みを有する為、絶縁基板の表面にゲート電極の厚みに起因する段差が生じる。半導体薄膜はゲート絶縁膜を介してではあるがこのゲート電極の段差を乗り越える様に形成される。段差を乗り越える部分の半導体薄膜は平坦な部分に比べ膜厚が薄くなる傾向にある。半導体薄膜を成膜し且つレーザアニールで結晶化した後の工程で、エッチング処理などが行なわれると、薬品などにより段差部で薄くなった半導体薄膜が腐食されピンホールが生ずる場合がある。このピンホールを介して半導体薄膜とゲート電極が短絡する場合があります、薄膜トランジスタ素子の欠陥原因となっていた。これも、本発明によって解決すべき課題である。

#### 【 0 0 0 9 】

##### 【課題を解決するための手段】

上述した従来の技術の課題を解決する為に以下の手段を講じた。即ち、本発明に係る薄膜半導体装置は、下から順にゲート電極、ゲート絶縁膜及び半導体薄膜

を積層したボトムゲート構造の薄膜トランジスタを絶縁基板上に集積形成したものであって、前記ゲート電極は、金属材料からなり、その厚みが100nm未満であることを特徴とする。好ましくは、前記ゲート絶縁膜は、その膜厚がゲート電極の厚み以上である。又、前記半導体薄膜は、レーザ光の照射により結晶化された多結晶シリコンからなる。場合によっては、前記ゲート電極は、比較的熱伝導度が低く且つ電気抵抗が高い上層と、比較的熱伝導度が高く且つ電気抵抗が低い下層とを重ねた多層構造を有する。

#### 【0010】

本発明は上述した薄膜半導体装置を駆動基板とする表示装置を包含している。即ち、マトリクス状の画素と、各画素を駆動する薄膜トランジスタとを絶縁基板の上に集積形成した表示装置であって、前記薄膜トランジスタは、下から順にゲート電極、ゲート絶縁膜及び半導体薄膜を該絶縁基板の上に積層したボトムゲート構造を有し、前記ゲート電極は、金属材料からなり、その厚みが100nm未満であることを特徴とする。好ましくは、前記ゲート絶縁膜は、その膜厚がゲート電極の厚み以上である。又、前記半導体薄膜は、レーザ光の照射により結晶化された多結晶シリコンからなる。場合によっては、前記ゲート電極は、比較的熱伝導度が低く且つ電気抵抗が高い上層と、比較的熱伝導度が高く且つ電気抵抗が低い下層とを重ねた多層構造を有する。

#### 【0011】

更に本発明は上述した表示装置の製造方法を包含している。即ち、マトリクス状の画素と、各画素を駆動する薄膜トランジスタとを絶縁基板の上に集積形成する表示装置の製造方法であって、下から順にゲート電極、ゲート絶縁膜及び半導体薄膜を該絶縁基板の上に積層してボトムゲート構造の薄膜トランジスタを形成する工程を含み、前記ゲート電極は、金属材料でその厚みが100nm未満となるように形成することを特徴とする。好ましくは、前記ゲート絶縁膜は、その膜厚がゲート電極の厚み以上となるように形成する。又、前記半導体薄膜は、レーザ光の照射により結晶化された多結晶シリコンを用いる。場合によっては、前記ゲート電極は、比較的熱伝導度が低く且つ電気抵抗が高い上層と、比較的熱伝導度が高く且つ電気抵抗が低い下層とを重ねて形成する。

## 【 0 0 1 2 】

従来のボトムゲート構造の薄膜トランジスタではゲート電極の厚みが100nm以上であるのに対し、本発明はゲート電極の厚みを100nm未満とすることが特徴である。金属ゲート電極の厚みを薄くすることでその熱容量が小さくなり、金属からなるゲート電極上とガラスなどからなる絶縁基板上とで熱的な条件の差が小さくなる。これにより、レーザアニールで半導体薄膜を結晶化する際のプロセスマージンがゲート電極上と絶縁基板上との間で広がる。又、ゲート電極の厚みを薄くすることで、段差が緩和される。従って、従来、段差部で多発していた半導体薄膜のピンホールが抑制可能となる。

## 【 0 0 1 3 】

## 【発明の実施の形態】

以下図面を参照して本発明の実施形態を詳細に説明する。図1は本発明に係る薄膜半導体装置の第一実施形態を示す模式的な部分断面図の一例である。図示する様に、本薄膜半導体装置は下から順にゲート電極5、ゲート絶縁膜4及び半導体薄膜2を積層したボトムゲート構造の薄膜トランジスタ3をガラスなどからなる絶縁基板1上に集積形成したものである。本薄膜半導体装置はアクティブマトリクス型表示装置の駆動基板に用いられている。この為、薄膜トランジスタ3には画素電極14が接続されている。又、薄膜トランジスタ3は信頼性を高める為、ダブルゲート構造となっている。但し、本発明はこれに限られるものではなくシングルゲート構造の薄膜トランジスタにも適用可能であることは言うまでもない。表示装置を組み立てる場合には、所定の間隙を介して一方の絶縁基板60に他方の絶縁基板1を接合する。一方の絶縁基板60はガラスなどからなり、その表面にはあらかじめ対向電極61が形成されている。両基板60、1の間隙には電気光学物質として例えば液晶50が保持される。

## 【 0 0 1 4 】

本発明の特徴事項として、ゲート電極5は金属材料からなり、その厚み $T_m$ が100nm未満に設定されている。金属材料としては例えば高融点金属を採用でき、Mo、Ta、Crなどから選択可能である。本例では、厚み $T_m$ が例えば90nmのMoを用いている。ゲート電極5を被覆するゲート絶縁膜4は例えば二

酸化シリコン ( $\text{SiO}_2$ ) の堆積膜からなり、その厚み  $T_i$  はゲート電極 5 の厚み  $T_m$  以上となる様に設定されている。ゲート電極 5 の厚み  $T_m$  を  $100\text{ nm}$  未満とすることで熱容量を抑え、ゲート電極 5 上と絶縁基板 1 上とで熱的な条件の差異を少なくし、以てレーザアニールにおけるプロセスマージンの拡大を図る。この時、ゲート電極 5 と半導体薄膜 2 の間に介在するゲート絶縁膜 4 の厚み  $T_i$  が薄すぎると、ゲート電極 5 の厚み  $T_m$  を縮小化した効果が相殺される。よって、ゲート絶縁膜 4 の厚み  $T_i$  はゲート電極 5 の厚み  $T_m$  よりも大きくなる様にしている。例えば、ゲート電極 5 の厚み  $T_m$  が  $90\text{ nm}$  の場合、ゲート絶縁膜 4 の厚み  $T_i$  を  $110\text{ nm}$  とする。ゲート絶縁膜 4 の上に成膜された半導体薄膜 2 はレーザ光の照射により結晶化された多結晶シリコンからなる。その厚みは例えば  $40\text{ nm}$  である。

#### 【0015】

前述した様に、ゲート電極 5 は  $\text{SiO}_2$  などからなるゲート絶縁膜 4 により被覆されている。この絶縁膜 4 の上には多結晶シリコンなどからなる半導体薄膜 2 が成膜されている。半導体薄膜 2 の上には各ゲート電極 5 と整合する様にストッパ 6 がパタニング形成されている。ストッパ 6 の直下に位置する半導体薄膜 2 の部分がチャネル領域となる。又、半導体薄膜 2 には不純物が高濃度で注入されたソース領域 7 及びドレイン領域 8 が形成されている。更に、不純物が低濃度で注入された LDD 領域 71, 78, 81 も形成されている。係る構成を有する薄膜トランジスタ 3 は  $\text{SiO}_2$  などからなる層間膜 9 により被覆されている。層間膜 9 の上には信号配線 10 がパタニング形成されており、コンタクトホールを介して薄膜トランジスタ 3 のソース領域 7 に電気接続している。この信号配線 10 は Mo などからなる上層金属膜 10a と Al などからなる下層金属膜 10b の二層構造となっている。同様に、ドレイン領域 8 側にも接続用の配線 10 がパタニング形成されている。これらの配線 10 はパシベーション膜 11 を間にして平坦化膜 12 により被覆されている。平坦化膜 12 の上には ITO などからなる画素電極 14 がパタニング形成されている。この画素電極 14 は平坦化膜 12 に開口したコンタクトホール及び接続用の配線 10 を介して薄膜トランジスタ 3 のドレイン領域 8 に電気接続している。

## 【 0 0 1 6 】

図 2 は、半導体薄膜をレーザアニールで結晶化する際に使われるレーザ光のエネルギーと、結晶化された半導体薄膜の結晶粒径との関係を示すグラフである。グラフ中、カーブ A はゲート電極上の半導体薄膜の結晶粒径を表わし、カーブ B は絶縁基板上の半導体薄膜の結晶粒径を表わしている。いずれの場合も、レーザ光のエネルギーが高くなると結晶粒径は大きくなる。しかし、エネルギーが高くなり過ぎると結晶粒径は逆に小さくなってしまう。但し、カーブ A と B とでピークの位置に差があり、金属ゲート電極上では最大結晶粒径をもたらすレーザエネルギーの値が 3 0 0 m J を超えているのに対し、ガラスなどからなる絶縁基板上では最大結晶粒径をもたらすレーザ光のエネルギーは 3 0 0 m J 以下となっている。ガラスよりも金属の方が熱伝導度が高く、レーザ光のエネルギーが放散し易い為、その分余計にレーザ光のエネルギーを高くする必要があるからである。ところで、薄膜トランジスタに要求されるデバイス特性から、結晶粒径は例えば 2 5 0 n m 以上が要求される。この場合、プロセスマージンは図 2 のグラフに示した範囲となる。即ち、レーザエネルギーの変動をこのプロセスマージン内に納めれば、金属ゲート電極上とガラスなどからなる絶縁基板上の両方で半導体薄膜の結晶粒径を 2 5 0 n m 以上にすることができる。

## 【 0 0 1 7 】

図 3 は、ゲート電極の膜厚と上述したプロセスマージンとの関係を示すグラフである。ゲート電極の膜厚が薄くなるとプロセスマージンが広がることが理解できる。ゲート電極の厚みが薄くなる程その熱容量が小さくなり、ゲート電極上と絶縁基板上とで熱的な条件の差異が縮小化する。これに連れてプロセスマージンが拡大する訳である。レーザ光のエネルギーは一定ではなく発振管などのばらつきにより ± 3 % 程度は常に変動している。例えば、レーザエネルギーを 3 0 0 m J に設定しようとする、± 3 % で約 1 8 m J 変動することになる。従って、プロセスマージンは 1 8 m J 確保することが必要である。この場合、図 3 のグラフから明らかな様に、ゲート電極の膜厚は 1 0 0 n m 未満に設定することが必要となる。

## 【 0 0 1 8 】

図4は、ゲート電極の厚みとその段差上に位置する半導体薄膜に生じるピンホールの数との関係を示すグラフである。図示する様に、ゲート電極の厚みを薄くする程段差が緩やかになり、これに従ってピンホールの発生数も縮小する。特に、ゲート電極の厚みを100nm未満とすることによりピンホールの発生をほぼ完全に抑えることが可能である。尚、エッチング工程などで半導体薄膜にピンホールが生じると、フツ酸などの薬品がピンホールを介してその下のゲート絶縁膜を腐食し、ゲート電極との間で短絡欠陥を引き起こす恐れがある。

#### 【0019】

図5は本発明に係る薄膜半導体装置の第二実施形態を示す模式的な部分断面図の一例である。理解を容易にする為、図1に示した第一実施形態と対応する部分には対応する参照番号を付して理解を容易にしている。第一実施形態と異なる点は、ゲート電極5が単層構造ではなく多層構造を有することである。即ち、ゲート電極5は比較的熱伝導度が低く且つ電気抵抗が高い上層5aと、比較的熱伝導度が高く且つ電気抵抗が低い下層5bとを重ねた多層構造である。ゲート電極5を本発明に従ってその厚みが100nm未満となる様に形成すると、必然的に電気抵抗が上昇してしまう。本実施形態はこの電気抵抗の上昇を抑える為に多層構造を採用している。即ち、下層5bは上層5aに比べて電気抵抗が低い金属からなり、その分膜厚を薄くすることができる。一方、上層5aは下層5bに比べて熱伝導度が低い金属からなり熱の放散を抑制している。例えば、下層5bはアルミニウムの純金属もしくはアルミニウムにシリコンを飽和するまで添加した合金が用いられる一方、上層5aはモリブデン、タンタル、タングステン及びクロムから選択可能である。この様に、電気抵抗の低い下層5bに熱伝導度の低い上層5aを重ねた多層構造をゲート電極5に用いることで膜厚を押さえつつ電気抵抗の上昇を防ぐことが可能になる。

#### 【0020】

図6を参照して、図5に示した薄膜半導体装置の製造方法を詳細に説明する。尚、図を見やすくする為、ゲート電極は一個のみを示してある。まず(A)に示す様に、ガラスなどからなる絶縁基板1の上に下層5bをスパッタ法で全面的に形成する。この下層5bは低抵抗であることが好ましく、例えばアルミニウムが

用いられる。下層 5 b の上に上層 5 a をスパッタ法などで全面的に成膜する。上層 5 a は熱伝導の小さい材料を使い、例えば Mo が適当である。上層 5 a 及び下層 5 b を重ねた多層構造の総厚は 1 0 0 n m 未満とする。

#### 【 0 0 2 1 】

次に (B) に示す様に、上層 5 a 及び下層 5 b を重ねた多層膜を例えば等方性のドライエッチングでパタニングし、ゲート電極 5 に加工する。等方性のドライエッチングを行うことにより、ゲート電極 5 の断面形状を台形に加工することができる。即ち、ゲート電極 5 の端面は 5 度～1 5 度の範囲でテーパが付けられる。

#### 【 0 0 2 2 】

(C) に示す様に、例えばプラズマ CVD 法 (PE-CVD 法) で  $\text{SiO}_2$  を例えば 1 0 0 ～ 2 0 0 n m の厚みで堆積し、ゲート電極 5 を被覆するゲート絶縁膜 4 とする。更にその上に、非晶質シリコンを例えば 2 0 ～ 6 0 n m の厚みで堆積して半導体薄膜 2 を設ける。同一の成膜チャンバで真空を破らずに絶縁膜 4 及び半導体薄膜 2 を連続成長させることができる。ここで、絶縁基板 1 を例えば 4 0 0 ℃ の温度まで加熱する。PE-CVD 法で成膜した非晶質シリコンの半導体薄膜 2 には約 1 0 % の水素が含まれており、4 0 0 ℃ の熱処理でこの水素は脱離する。この後、例えば波長 3 0 8 n m の XeCl エキシマレーザ光を照射して半導体薄膜 2 の再結晶化を図る。レーザ光のエネルギーによって非晶質シリコンが熔融し、固まる時に多結晶シリコンとなる。この固まる時の時間によって結晶性 (主に結晶粒径、グレインサイズ) が決められる。

#### 【 0 0 2 3 】

(D) に示す様に、半導体薄膜 2 の上に  $\text{SiO}_2$  を PE-CVD 法で堆積する。ここで裏面露光技術を使って  $\text{SiO}_2$  をパタニングし、ストッパ 6 に加工する。即ち、遮光性を有するゲート電極 5 をマスクとして裏面露光を行うことによりセルフアライメントでゲート電極 5 に整合したストッパ 6 を得ることができる。ここで、ストッパ 6 をマスクとしてイオンドーピング法により不純物 (例えばリン) を比較的低濃度で半導体薄膜 2 に注入する。更に、ストッパ 6 とその周辺をフォトレジストで被覆した後、比較的高濃度で不純物 (例えばリン) をイオンド

ーピング法により半導体薄膜 2 に注入する。これにより、ソース領域 7 及びドレイン領域 8 が形成される。又、レジストで被覆された半導体薄膜 2 の部分には比較的低不純物濃度の L D D 領域 7 1, 8 1 が残される。この後、不要になったフォトリジストは除去される。イオンドーピング法はプラズマ状態のイオンを一気に電界加速して半導体薄膜 2 にドーピングするものであり、短時間で処理できる。

#### 【 0 0 2 4 】

最後に (E) に示す様に、ドーピングされた原子を活性化する為に再度レーザー光を照射する。再結晶化と同一方法であるが、結晶を大きくする必要がない為弱いエネルギーで十分である。この後、配線間の絶縁の為に  $\text{SiO}_2$  を堆積して層間膜 9 とする。この層間膜 9 にコンタクトホールを開口した後、金属アルミニウムなどをスパッタで堆積し、所定の形状にパタニングして配線 1 0 に加工する。以下、表示用の薄膜半導体装置を製造する場合には、必要に応じてパシベーション膜、平坦化膜及び画素電極を形成する。

#### 【 0 0 2 5 】

図 7 は本発明に係る薄膜半導体装置を駆動基板として組み立てられたアクティブマトリクス型液晶表示装置の一例を示す模式的な照射図である。この表示装置は駆動基板 1 と対向基板 6 0 との間に液晶などからなる電気光学物質 5 0 を保持した構造となっている。駆動基板 1 には画素アレイ部と周辺回路部とが集積形成されている。周辺回路部は垂直走査回路 4 1 と水平走査回路 4 2 とに分かれている。又、駆動基板 1 の上端側には外部接続用の端子電極 4 7 も形成されている。各端子電極 4 7 は配線 4 8 を介して垂直走査回路 4 1 及び水平走査回路 4 2 に接続している。画素アレイ部には互いに交差するゲート配線 4 3 と信号配線 1 0 が形成されている。ゲート配線 4 3 は垂直走査回路 4 1 に接続し、信号配線 1 0 は水平走査回路 4 2 に接続している。両配線 4 3, 1 0 の交差部には画素電極 1 4 とこれを駆動する薄膜トランジスタ 3 とが形成されている。一方、対向基板 6 0 の内表面には図示しないが対向電極が形成されている。

#### 【 0 0 2 6 】

図 8 は、本発明に係る表示装置の他の実施例を示す模式的な部分断面図である



。本実施例は、画素として有機エレクトロルミネッセンス素子OLEDを用いている。OLEDは陽極A、有機層110及び陰極Kを順に重ねたものである。陽極Aは画素毎に分離しており、例えばクロムからなり基本的に光反射性である。陰極Kは画素間で共通接続されており、例えば金属層111と透明導電層112の積層構造であり、基本的に光透過性である。係る構成を有するOLEDの陽極A／陰極K間に順方向の電圧（10V程度）を印加すると、電子や正孔などのキャリアの注入が起こり、発光が観測される。OLEDの動作は、陽極Aから注入された正孔と陰極Kから注入された電子により形成された励起子による発光と考えられる。

#### 【0027】

一方、OLEDを駆動する薄膜トランジスタ3は、ガラスなどからなる絶縁基板1の上に形成されたゲート電極5と、その上に重ねられたゲート絶縁膜4と、このゲート絶縁膜4を介してゲート電極5の上方に重ねられた半導体薄膜2とからなる。この半導体薄膜2は例えばレーザアニールにより結晶化されたシリコン薄膜からなる。薄膜トランジスタ3はOLEDに供給される電流の通路となるソース領域S、チャネル領域Ch及びドレイン領域Dを備えている。チャネル領域Chはちょうどゲート電極5の直上に位置する。このボトムゲート構造を有する薄膜トランジスタ3は層間膜9により被覆されており、その上には配線10が形成されている。これらの上には別の層間膜11を介して前述したOLEDが成膜されている。このOLEDの陽極Aは配線10を介して薄膜トランジスタ3に電気接続されている。この実施例でも、ゲート電極5の膜厚は100nm未満に設定されており、半導体薄膜2のレーザアニールにおけるプロセスマージンを拡大している。

#### 【0028】

##### 【発明の効果】

以上説明したように、本発明によれば、ゲート電極の厚みを100nm未満とすることにより、半導体薄膜のレーザアニール処理時におけるプロセスマージンが広がる為、その分レーザアニールに用いるレーザ装置の保守点検が容易になる。又、レーザ発振管のばらつきがあっても許容範囲が拡大し、レーザ装置の光学

系などの設計も容易となる。加えて、ゲート電極の段差上に位置する半導体薄膜の部分からピンホールがなくなる為、製造歩留りが向上する。

【図面の簡単な説明】

【図 1】

本発明に係る薄膜半導体装置の第一実施形態を示す部分断面図である。

【図 2】

レーザエネルギーと結晶粒径との関係を示すグラフである。

【図 3】

ゲート電極の膜厚とプロセスマージンとの関係を示すグラフである。

【図 4】

ゲート電極の膜厚とピンホールの数との関係を示すグラフである。

【図 5】

本発明に係る薄膜半導体装置の第二実施形態を示す部分断面図である。

【図 6】

第二実施形態の製造方法を示す工程図である。

【図 7】

本発明に係る薄膜半導体装置を用いて組み立てられたアクティブマトリクス表示装置の一例を示す模式的な斜視図である。

【図 8】

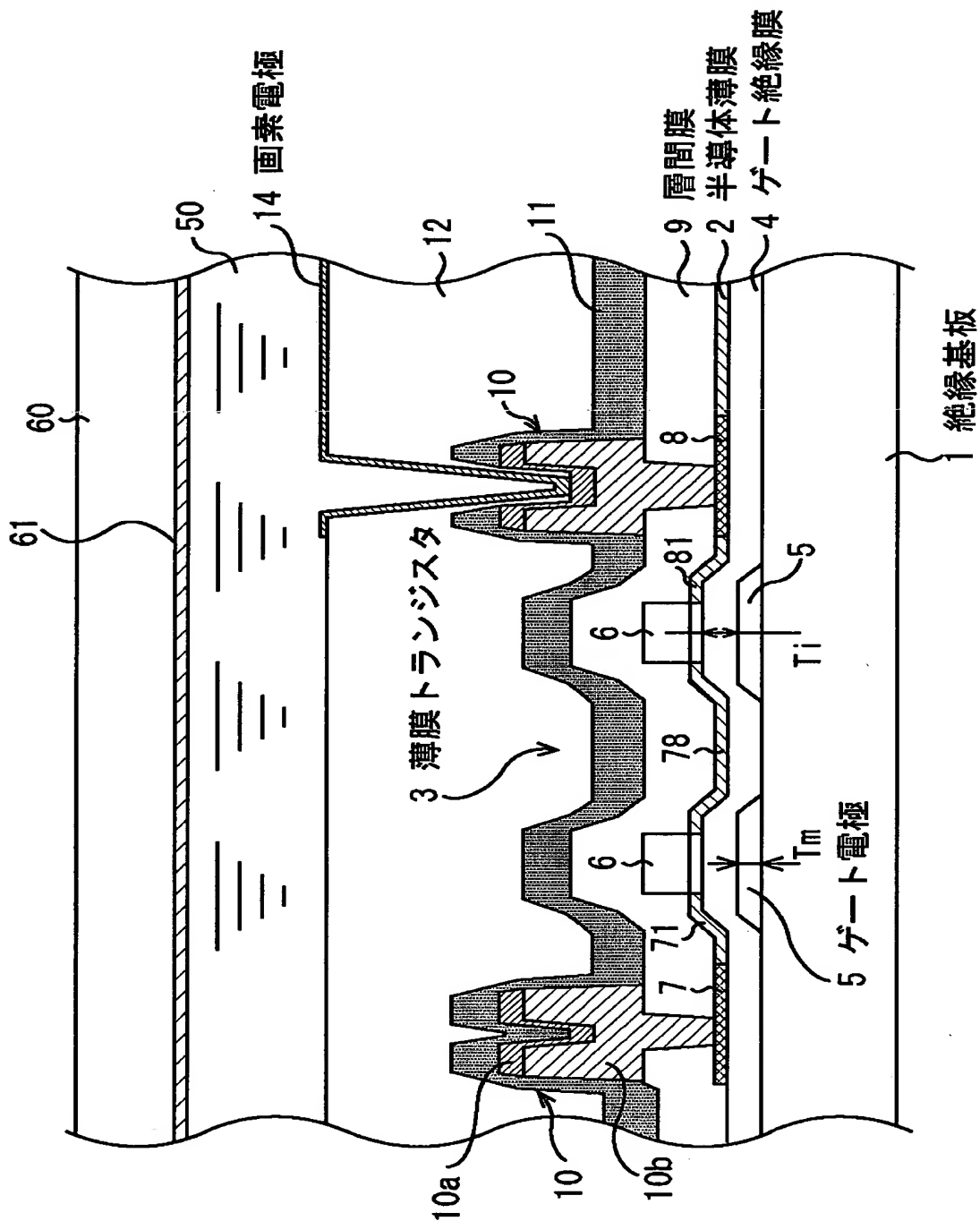
本発明に係る薄膜半導体装置を用いて組み立てられたアクティブマトリクス表示装置の他の例を示す模式的な断面図である。

【符号の説明】

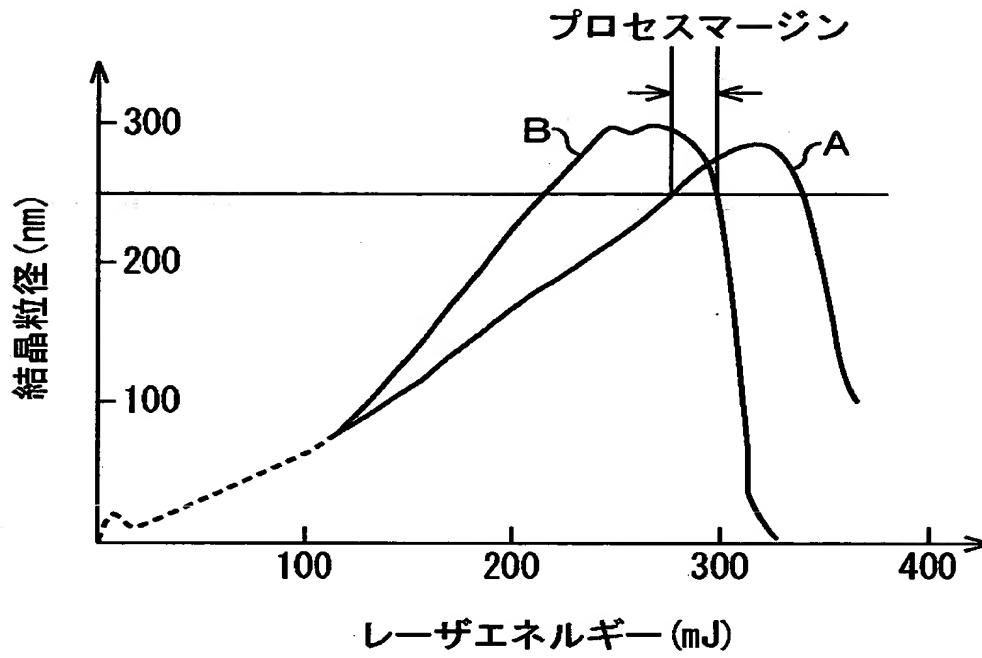
1・・・絶縁基板、2・・・半導体薄膜、4・・・ゲート絶縁膜、5・・・ゲート電極、7・・・ソース領域、8・・・ドレイン領域、9・・・層間膜、10・・・配線、14・・・画素電極

【書類名】 図面

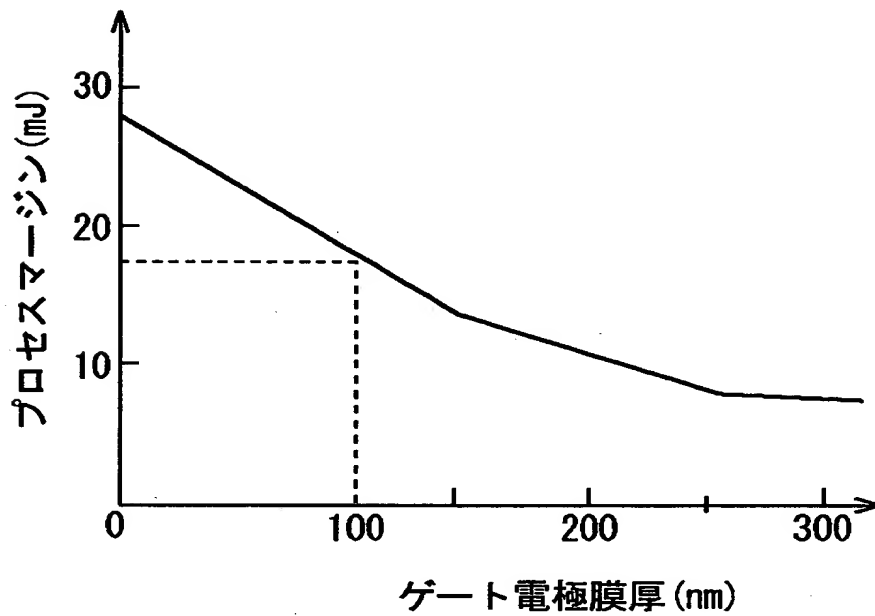
【図.1】



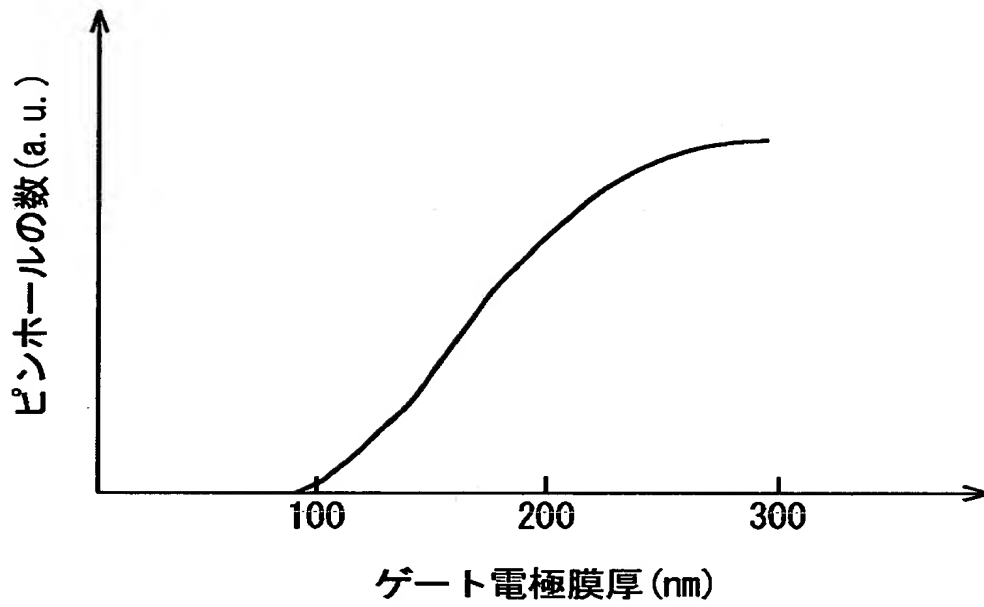
【図 2】



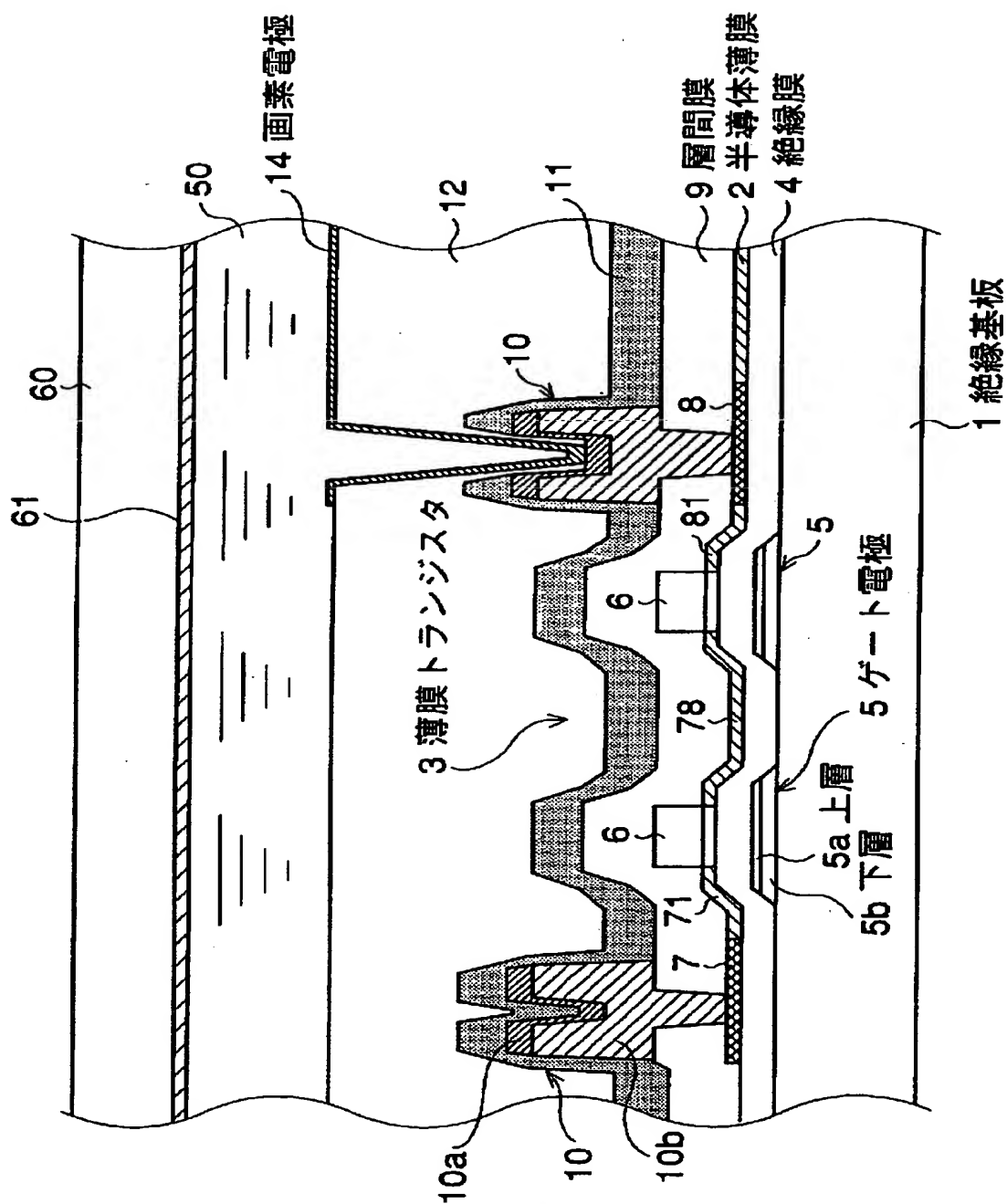
【図 3】



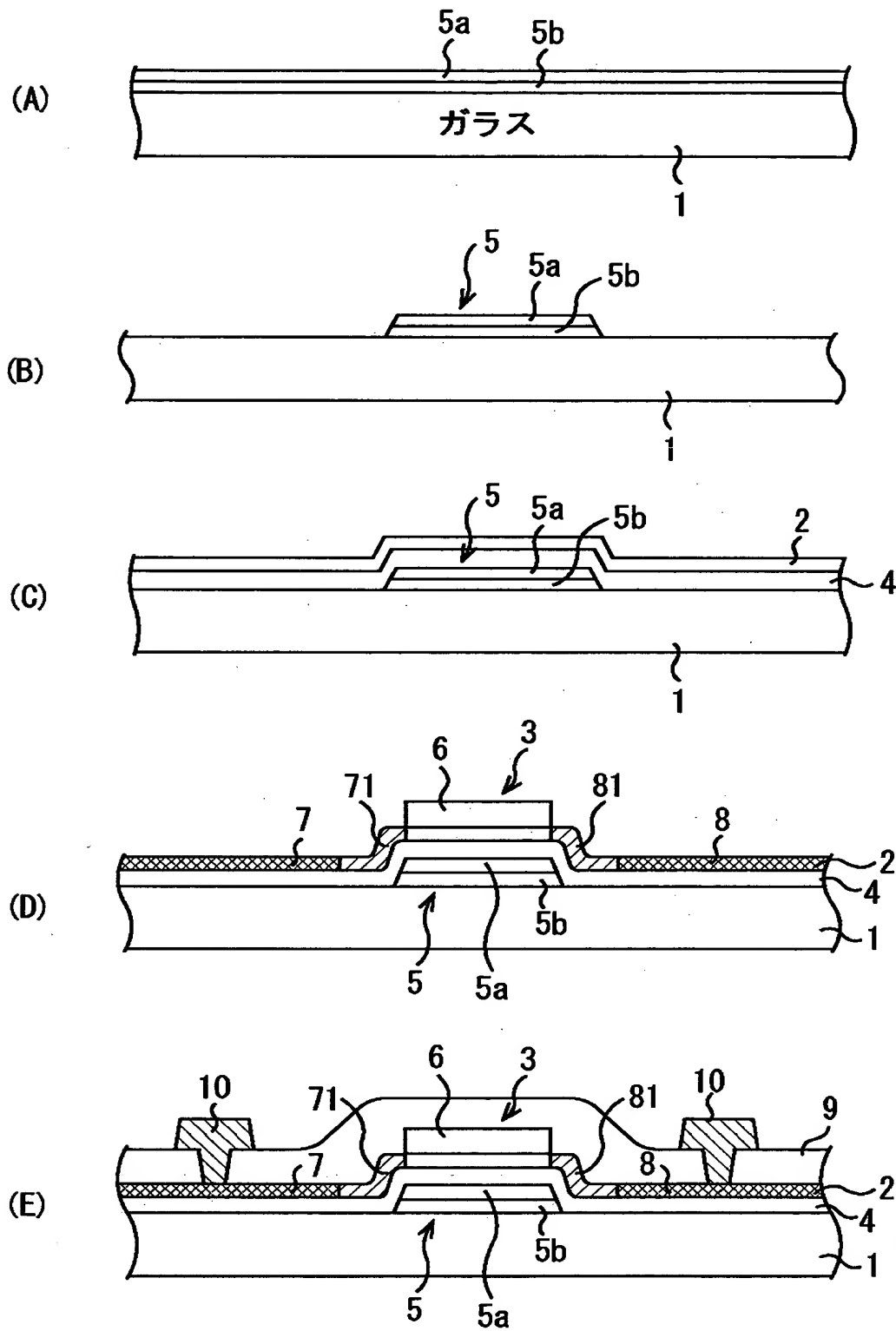
【図 4】



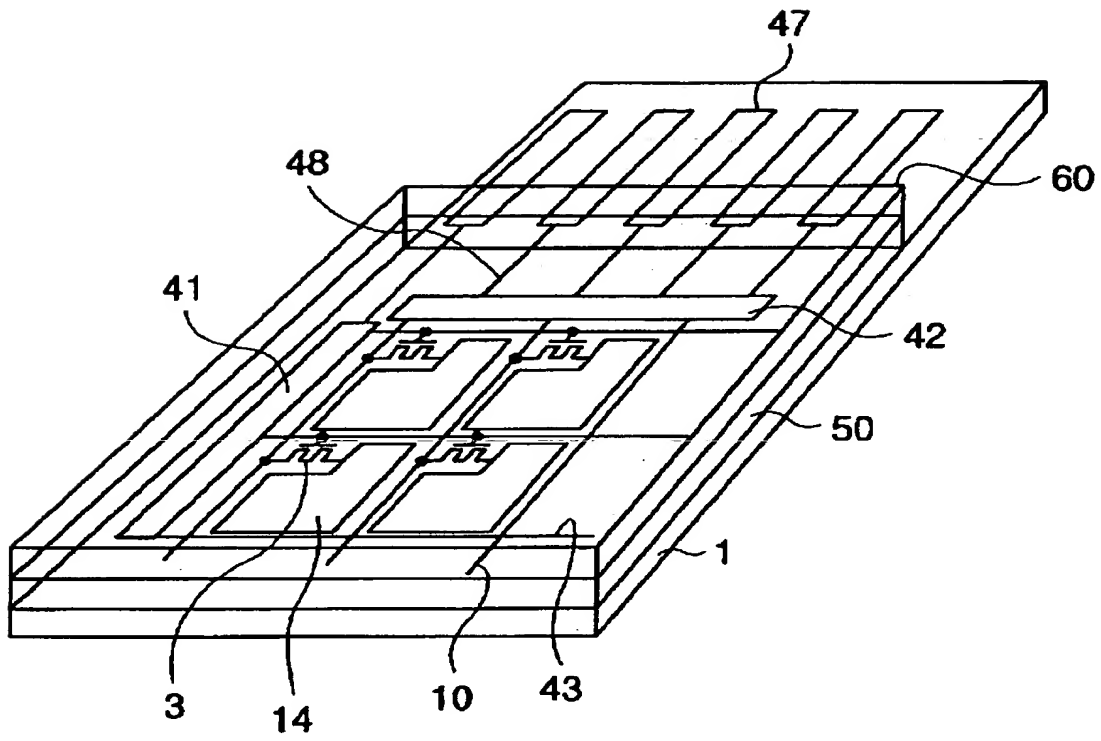
【図 5】



【図 6】

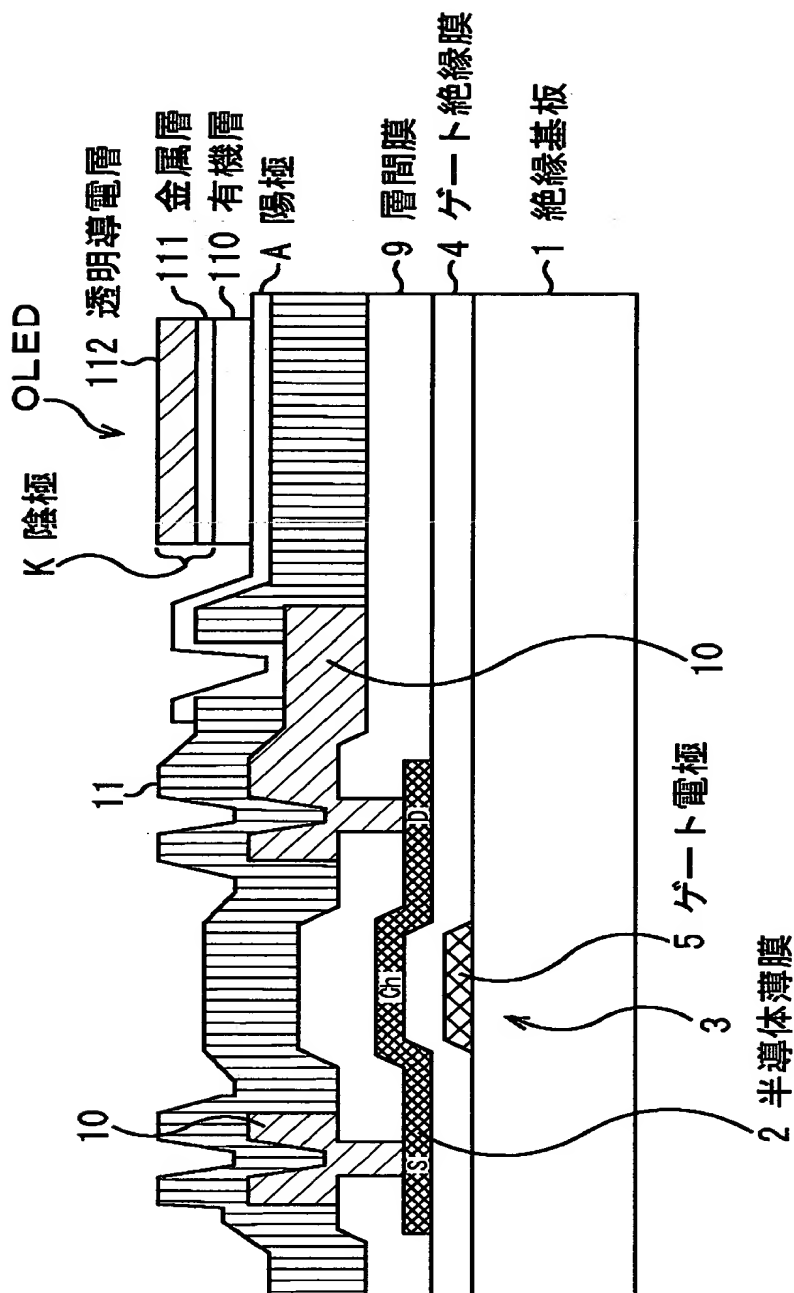


【図 7】





【図8】



【書類名】 要約書

【要約】

【課題】 ボトムゲート型の薄膜トランジスタの活性層となる半導体薄膜のレーザーアニールによる再結晶化処理を均一化及び最適化する。

【解決手段】 薄膜半導体装置は、下から順にゲート電極 5、ゲート絶縁膜 4 及び半導体薄膜 2 を積層したボトムゲート構造の薄膜トランジスタ 3 を絶縁基板 1 上に集積形成したものである。ゲート電極 5 は、金属材料からなり、その厚み  $T_m$  は 100 nm 未満である。又、ゲート絶縁膜 4 は、その膜厚  $T_i$  がゲート電極 5 の厚み  $T_m$  以上である。半導体薄膜 2 は、レーザー光の照射により結晶化された多結晶シリコンからなる。金属ゲート電極の厚みを薄くすることでその熱容量が小さくなり、金属からなるゲート電極上とガラスなどからなる絶縁基板上とで熱的な条件の差が小さくなる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社